

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

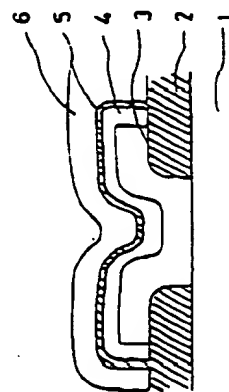
**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**(54) SEMICONDUCTOR DEVICE**

(11) 2-262356 (A) (43) 25.10.1990 (19) JP  
 (21) Appl. No. 64-81435 (22) 3.4.1989  
 (71) TOSHIBA CORP (72) SHIGEHICO KAJI(3)  
 (51) Int. Cl. H01L27/04, H01L21/283, H01L21/318, H01L21/90, H01L27/108, H01L29/784

**PURPOSE:** To eliminate micro-defects in a gate insulating film and prevent dielectric breakdown in a weak electric field and then obtain a semiconductor device which is superior in reliability by, for example, using a silicon nitride film containing chlorine as a gate insulating film.

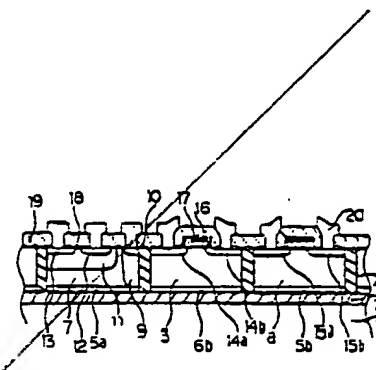
**CONSTITUTION:** A silicon nitride film 4 containing chlorine is used as a gate insulating film. Or a multilayer film consisting of the silicon nitride film 4 containing chlorine and an oxide film 5 is used as the gate insulating film. For example, an  $\text{SiO}_2$  film 2 is formed on a p-type silicon substrate 1 and a lower electrode 3 consisting of polycrystalline silicon film with an opening part on which phosphorus is diffused is formed. Then an SiN film 4 containing chlorine of 30Å thickness is formed at reduced pressure with a CVD process by using  $\text{SiH}_2\text{Cl}_2$  and  $\text{NH}_3$  as a material gas on the lower electrode. Then an  $\text{SiO}_2$  film 5 of 30Å thickness is formed on the SiN film by oxidizing the SiN film 4 in an Ar gas containing an extremely small quantity of vapor and further, a polycrystalline silicon film on which phosphorus is diffused deposits to 4000Å thickness on the above  $\text{SiO}_2$  film. Then patterning is performed into a prescribed form and an upper electrode 6 is formed.

**(54) SEMICONDUCTOR DEVICE**

(11) 2-262359 (A) (43) 25.10.1990 (19) JP  
 (21) Appl. No. 64-84352 (22) 3.4.1989  
 (71) TAKEHIDE SHIRATO (72) TAKEHIDE SHIRATO  
 (51) Int. Cl. H01L27/06, H01L21/331, H01L27/108, H01L27/12, H01L29/73

**PURPOSE:** To form a semiconductor integrated circuit which is superior in efficiency and has high integration by providing selectively the 2nd semiconductor substrate with an element or a part of the element at the lower face of the above substrate; besides, being aligned with the above element or the part of the element, providing selectively the above substrate with the element or the part of the element at the upper face of the substrate and then, bonding the above substrate onto the 1st substrate through an insulating film.

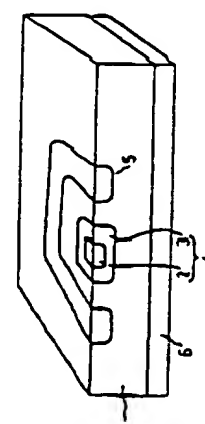
**CONSTITUTION:** In a semiconductor device in which the 2nd semiconductor substrate 3 is bonded onto the 1st semiconductor substrate 1 through an insulating film 2, an element or a part of the element is formed selectively at the upper face of the 2nd semiconductor substrate 3 after being sub-ordinated to the element or the part of the element which is formed selectively at the lower face of the 2nd semiconductor substrate 3. For example, a p-type 2nd Si substrate 3 is bonded onto a p-type 1st Si substrate 1 through an oxide film 2 and the 2nd substrate 3 is isolated into forms of islands by trenches reaching the oxide film 2 and then, these trenches are filled with an oxide film 4 for filling the trenches. Then n-type buried layers 5a, 6b, and 5b are provided at respective lower faces of the 2nd Si substrate 3 which is isolated into the forms of the islands at both bipolar and MOS parts.

**(54) SEMICONDUCTOR DEVICE AND STORAGE DEVICE**

(11) 2-262361 (A) (43) 25.10.1990 (19) JP  
 (21) Appl. No. 64-81530 (22) 3.4.1989  
 (71) NIPPON TELEGR & TELEPH CORP <NTT>  
 (72) YASUSUKE YAMAMOTO(3)  
 (51) Int. Cl. H01L27/10, H01L29/68

**PURPOSE:** To obtain a semiconductor device which has a negative resistance and operates at high speed and then makes integration to a silicon substrate easy by providing the 1st region of the 1st conductivity type, the 2nd region of the 2nd conductivity type which surrounds the 1st region, the 3rd region of the 2nd conductivity type which surrounds the 2nd region externally without coming into contact with the 2nd region, and the 1st conductivity type 4th region whose impurity concentration is high.

**CONSTITUTION:** This device is equipped with the 1st region 2 of the 1st conductivity type, the 2nd region 3 of the 2nd conductivity type which surrounds the 1st region 2, the 3rd region 5 of the 2nd conductivity type which surrounds 2nd region 3 externally without coming into contact with the 2nd region 3, and the 1st conductivity type 4th region 6 whose impurity concentration is high. For example, as shown by Fig., an N-type impurity region 2 and P-type impurity region 3 are formed at an N-type semiconductor substrate 1 and then a hook region 4 is made up by joining the region 2 with region 3. Further, a P-type emitter region 5 and an N-type base region 6 are formed. This configuration lessens a resistance between emitter and hook regions and decreases the absolute quantity of minority carriers which are accumulated around the hook region 4 and then makes this device operate at great speed by reducing transition period from ON to OFF.



## ⑫ 公開特許公報(A)

平2-262358

⑬ Int. Cl.<sup>3</sup>

H 01 L 27/04

識別記号

C

庁内整理番号

7514-5F

8422-5F

8624-5F

H 01 L 29/78  
27/10

⑭ 公開 平成2年(1990)10月25日

3 0 1 G  
3 2 5 J※

審査請求 未請求 請求項の数 3 (全4頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平1-81435

⑰ 出 願 平1(1989)4月3日

⑱ 発 明 者 梶 成 彦 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究所内

⑱ 発 明 者 竹 村 モ モ 子 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究所内

⑱ 発 明 者 見 方 裕 一 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究所内

⑱ 発 明 者 守 屋 幸 彦 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究所内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 則 近 憲 佑 外1名

最終頁に続く

## 明 細 書

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

(1) 塩素を含有する強化ケイ素膜をゲート用絶縁膜として用いることを特徴とする半導体装置。

(2) 塩素を含有する強化ケイ素膜と酸化膜からなる多層膜をゲート用絶縁膜として用いることを特徴とする半導体装置。

(3) 前記ゲート用絶縁膜はキャパシタ絶縁膜であることを特徴とする請求項1又は2記載の半導体装置。

## 3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

この発明は、半導体装置に係り、特に高耐圧、高信頼性が要求される絶縁膜を用いる素子を有する半導体装置に関する。

(従来の技術)

従来、半導体装置のゲート用絶縁膜、例えばゲ

イナミックメモリのキャパシタ絶縁膜としては、シリコンを熱酸化して形成されたSiO<sub>2</sub>膜が用いられてきた。しかしながら、ダイナミックメモリの微細化による面積の縮小に対し必要な容量を確保するために、SiO<sub>2</sub>膜に比べ誘電率の大きいSi<sub>3</sub>N<sub>4</sub>膜(強化ゲイ素膜)をSiO<sub>2</sub>膜と組みあわせることにより解決することが行なわれている。

第5図は、従来のキャパシタ絶縁膜を用いたスタック型ダイナミックメモリのキャパシタの断面図である。

シリコン基板21上には、リンが拡散された多結晶シリコン膜より成る下部電極22が形成されている。更にその上には、SiH(シラン)とNH<sub>3</sub>(アンモニア)を原料ガスとして成圧CVD法により厚さ80Å Si<sub>3</sub>N<sub>4</sub>膜23が形成されている。更にその上には、このSi<sub>3</sub>N<sub>4</sub>膜23を数層の水素気を含むArガス中で酸化することにより厚さ30Å SiO<sub>2</sub>膜24が形成されている。更にその上にリンが拡散された多結晶シリコンが厚さ4000Å堆積され、所定形状にパターニングされることによ

り上部電極25が形成されている。

第6図は上記のキャパシタを用いた場合の絶縁破壊電界と破壊頻度の関係を示すグラフである。絶縁破壊は、 $8 \sim 11 \text{ MV/cm}$ 付近の他に、それより低電界の $4 \sim 6 \text{ MV/cm}$ 付近でも発生している。 $8 \sim 11 \text{ MV/cm}$ 付近の絶縁破壊は、主にSIN膜23自体の特性に起因するのに対し、 $4 \sim 6 \text{ MV/cm}$ 付近の絶縁破壊は、SIN膜23に発生した微小欠陥によるものと考えられる。

(発明が解決しようとする課題)

以上の様に従来のゲート用絶縁膜では、SIN膜中に発生した微小欠陥により比較的低電界において絶縁破壊が生じるため、これを用いた半導体装置の歩留りを低下させ、経時変化による劣化も起きやすくなり信頼性の高いものにならないという問題点があった。

本発明は、この様な課題を解決するゲート用絶縁膜を用いた半導体装置を提供することを目的とする。

(発明の構成)

型ダイナミックメモリのキャパシタ絶縁膜として用いた場合のキャパシタの断面図である。

p型シリコン基板1上には、 $\text{SiO}_2$ 膜2が形成され、開口部にリンが拡散された多結晶シリコン膜より成る下部電極3が形成されている。更にその上には、 $\text{SiH}_4$ と $\text{NH}_3$ (アンモニア)を原料ガスとして減圧CVD法により厚さ $80 \text{ \AA}$ のSIN膜4が形成されている。更にその上には、このSIN膜4を微量の水蒸気を含むArガス中で酸化することにより厚さ $30 \text{ \AA}$ の $\text{SiO}_2$ 膜5が形成されている。更にその上にリンが拡散された多結晶シリコン膜が厚さ $4000 \text{ \AA}$ 堆積され、所定パターニングされることにより上部電極6が形成されている。

第2図は、本発明のCを含むキャパシタ絶縁膜を用いた場合の絶縁破壊電圧と破壊頻度の関係を示すグラフである。第6図と比較すると、SIN膜に発生した微小欠陥が原因と考えられる $4 \sim 6 \text{ MV/cm}$ 付近の絶縁破壊が消滅している。

第3図は、本発明の他の実施例の多層構造のゲ

(課題を解決するための手段)

本発明は、上記事情に鑑みて為されたもので、第1の発明は、塩素を含有する窒化ケイ素膜をゲート用絶縁膜として用いることを特徴とする半導体装置を提供する。

また、第2の発明は、塩素を含有する窒化ケイ素膜と酸化膜から成る多層膜をゲート用絶縁膜として用いることを特徴とする半導体装置を提供する。

(作用)

この様に、第1の発明、第2の発明いずれの場合においてもゲート用絶縁膜中に塩素を含有させることにより、ゲート用絶縁膜中の微小欠陥が塩素と結合して消滅するため、低電界において絶縁破壊を防ぐことができ信頼性の高いゲート用絶縁膜を用いた半導体装置を得ることができる。

(実施例)

以下、本発明の実施例について図面を参照して説明する。

第1図は、本発明のゲート用絶縁膜をスタック

ート用絶縁膜の断面図である。

p型シリコン基板7上には $\text{HCl}$ を添加した乾燥 $\text{O}_2$ 雰囲気中で厚さ $70 \text{ \AA}$ の $\text{SiO}_2$ 膜8が形成されている。更にその上には、 $\text{SiH}_4$ (ジクロロシラン)と $\text{NH}_3$ を原料ガスとして減圧CVD法により厚さ $80 \text{ \AA}$ の塩素を含むSIN膜9が形成されている。更に、その上には、SIN膜9を微量の水蒸気を含むArガス中に酸化することにより厚さ $30 \text{ \AA}$ の $\text{SiO}_2$ 膜10が設けられている。更にリンを拡散した多結晶シリコン膜11が形成されている。以上により多層構造の絶縁膜が形成されている。

第4図は、上記多層構造の絶縁膜を用いた場合の絶縁破壊電界と破壊頻度の関係を示すグラフである。第7図のSIN膜7を形成する際に塩素を含まない雰囲気中で形成された場合のグラフと比較すると、 $6 \sim 10 \text{ MV/cm}$ 付近のSIN膜8中の微小欠陥が原因と考えられる絶縁破壊がなくなってくる。

なお、本発明の塩素を含有するゲート用絶縁膜

としては、スタック型ダイナミックメモリのキャパシタ絶縁膜に限定されるものではなく、トレンチ型ダイナミックメモリのキャパシタ絶縁膜、MOSトランジスタのゲート絶縁膜等にも適用可能であり、その他従来 $\text{SiO}_2$ 膜のみで構成されている部分をこのゲート用絶縁膜で置きかえることが可能である。

また、塩素を含有する $\text{SiN}$ 膜と $\text{SiO}_2$ 膜を組み合わせた膜で使用する他に、塩素を含有する $\text{SiN}$ 膜のみで構成する場合も充分その効果を得ることができる。

〔発明の効果〕

以上述べた様に本発明によれば、 $\text{SiN}$ 膜中に塩素を含有させることにより、 $\text{SiN}$ 膜中の微小欠陥が塩素と結合することにより消滅し信頼性のある高耐圧の絶縁膜を得ることができる。

#### 4. 図面の簡単な説明

第1図は、本発明の実施例の絶縁膜の断面図、第2図は、本発明の絶縁膜を用いた場合の効果を表わすグラフ、第3図は、本発明の他の実施例の

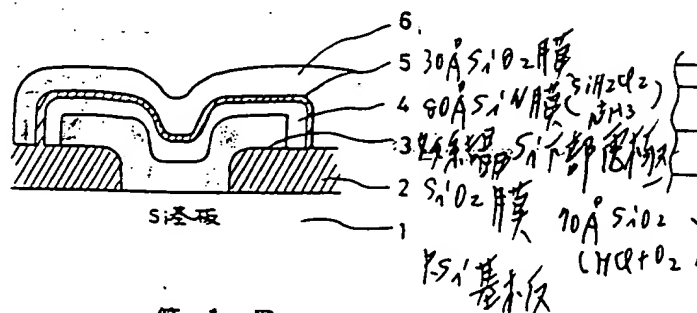
絶縁膜の断面図、第4図は、本発明の他の実施例の絶縁膜を用いた場合の効果を表わすグラフ、第5図は、従来例の絶縁膜の断面図、第6図、第7図は従来例の絶縁膜を用いた場合の効果を表わすグラフである。

図において、

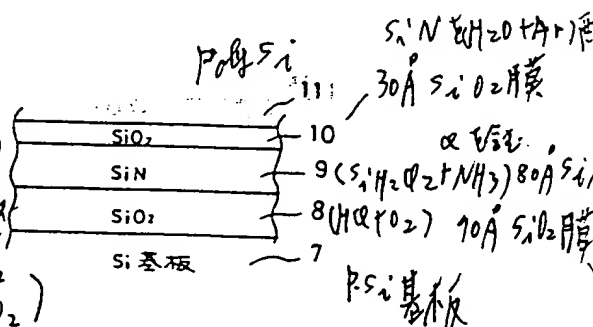
1…p型シリコン基板、2… $\text{SiO}_2$ 膜、3…下部電極、4… $\text{SiN}$ 膜、5… $\text{SiO}_2$ 膜、6…上部電極、7…p型シリコン基板、8… $\text{SiO}_2$ 膜、9… $\text{SiN}$ 膜、10… $\text{SiO}_2$ 膜、11…p型シリコン基板、22…下部電極、23… $\text{SiN}$ 膜、24… $\text{SiO}_2$ 膜、25…上部電極。

代理人 弁護士 則 近 雄 佑

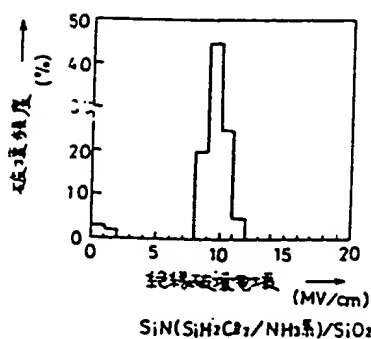
同 松 山 允 之



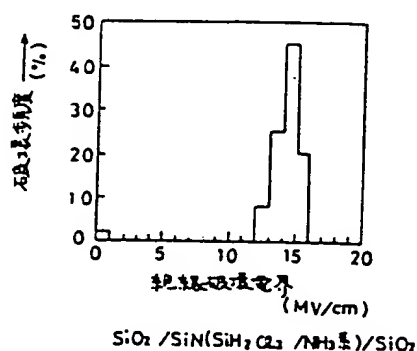
第 1 図



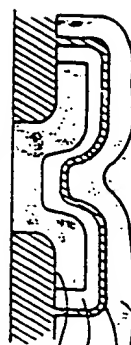
第 3 図



第 2 図



第 4 図

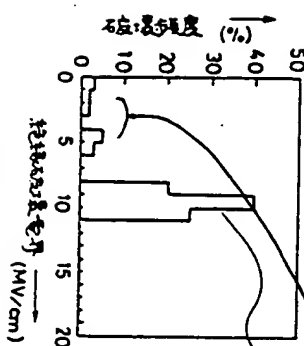


第 5 図

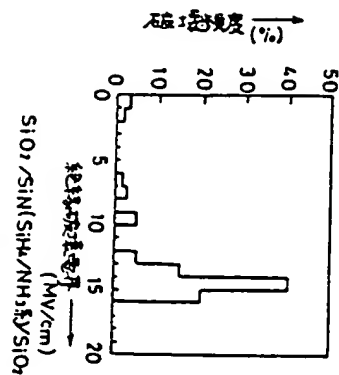
21

99%SiN膜  
25 SiN膜(20+4V)の厚さ4V=5.02μm 30°  
24 SiN膜(20+4V)の厚さ4V=5.02μm 30°  
23 SiN膜(20+4V)の厚さ4V=5.02μm 30°  
22 SiN膜(20+4V)の厚さ4V=5.02μm 30°  
21 SiN膜(20+4V)の厚さ4V=5.02μm 30°

SiN膜は酸化SiN膜  
SiN自体の特性



第 6 図



第 7 図

第 1 頁の続き

⑤Int. Cl.

H 01 L 21/283  
21/318  
21/90  
27/108  
29/784

識別記号

N  
M  
K

庁内整理番号

7738-5F  
6810-5F  
6810-5F